

S1 1 PN=JP 2002368202  
?t s1/5

**1/5/1**  
DIALOG(R)File 347:JAPIO  
(c) 2005 JPO & JAPIO. All rts. reserv.

07499682 \*\*Image available\*\*  
SEMICONDUCTOR DEVICE, IMAGING DEVICE, AND DEVICE AND SYSTEM FOR DETECTING RADIATION

PUB. NO.: 2002-368202 [\*JP 2002368202\* A]  
PUBLISHED: December 20, 2002 (20021220)  
INVENTOR(s): NOMURA KEIICHI  
MORISHITA MASAKAZU  
MOCHIZUKI CHIORI  
APPLICANT(s): CANON INC  
APPL. NO.: 2001-172734 [JP 2001172734]  
FILED: June 07, 2001 (20010607)  
INTL CLASS: H01L-027/146; G01T-001/20; G01T-001/24; H01L-021/28;  
H01L-021/3205; H01L-021/3213; H01L-027/14; H01L-029/786;  
H01L-031/09; H04N-005/32

#### ABSTRACT

PROBLEM TO BE SOLVED: To reduce signal delay by making wiring resistance low.

SOLUTION: In the semiconductor device has pixels with thin-film transistors arrayed on an insulating substrate 101, at least one of the gate electrode 114" and gate wire 114 of a thin-film transistor or/and the source-drain electrode are formed, by laminating Al-Nd(aluminum neodymium) alloy and Al and Al-Nd alloy, and laminating Al-Nd alloy and Al. Furthermore, the device is equipped with a conversion body which converts incident radiation into electrical signal, and a thin-film transistor of the semiconductor device described in one among claims 1 to 10.

COPYRIGHT: (C)2003, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-368202

(P2002-368202A)

(43)公開日 平成14年12月20日 (2002.12.20)

(51)Int.Cl.<sup>7</sup>  
H 01 L 27/146  
G 01 T 1/20  
1/24  
H 01 L 21/28

識別記号

F I  
G 01 T 1/20  
1/24  
H 01 L 21/28

テマコード<sup>8</sup> (参考)  
E 2 G 0 8 8  
G 4 M 1 0 4  
4 M 1 1 8  
E 5 C 0 2 4  
3 0 1 L 5 F 0 3 3

審査請求 未請求 請求項の数14 OL (全 16 頁) 最終頁に続く

(21)出願番号 特願2001-172734(P2001-172734)

(22)出願日 平成13年6月7日(2001.6.7)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 野村 廉一

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 森下 正和

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74)代理人 100065385

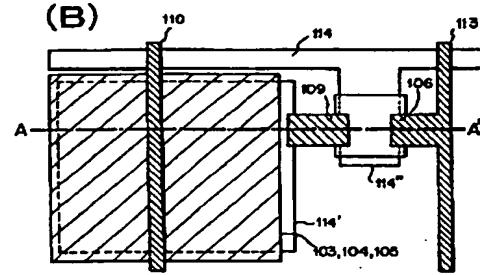
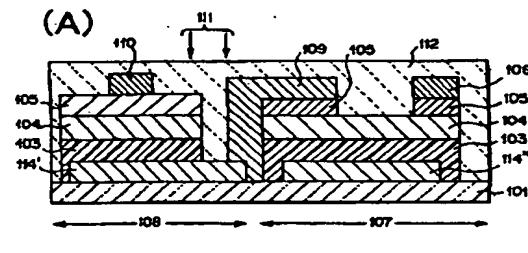
弁理士 山下 積平

最終頁に続く

(54)【発明の名称】 半導体装置、撮像装置、放射線検出装置及び放射線検出システム

(57)【要約】

【課題】 配線抵抗を低くし、信号遅延を軽減する。  
【解決手段】 絶縁基板101上に薄膜トランジスタを有する画素を複数配列した半導体装置において、薄膜トランジスタのゲート電極114<sup>7</sup>とゲート配線114の少なくとも一方、又は/及びソース・ドレイン電極は、Al-Nd (アルミニオジウム) 合金、AlとAl-Nd (アルミニオジウム) 合金とを積層した構成、Al-Nd (アルミニオジウム) 合金とAlとを積層した構成である。入射する放射線を電気信号に変換する変換体と、該変換体からの該電気信号を転送するための、請求項1から10のいずれか1項に記載の半導体装置の薄膜トランジスタと、を備える。



101 : ガラス基板	108 : ソース電極
103 : ゲート絶縁膜	110 : 駆動用配線
104 : 半導体層	111 : X線入射方向
105 : オーフィック層 ( $n^+$ 層)	112 : 保護膜
106 : ドレイン電極	113 : 信号線
107 : 半導体トランジスタ(TFT)部	114 : ゲート電極Al-Nd合金
108 : 光遮光塗膜	114' : 下部電極Al-Nd合金
	114'' : ゲート電極Al-Nd合金

**【特許請求の範囲】**

**【請求項1】** 絶縁基板上に薄膜トランジスタを複数配列した半導体装置において、該薄膜トランジスタのゲート電極とゲート配線、又は／及びソース・ドレイン電極は、A1とA1-Nd（アルミニオジウム）合金とを積層した構成であることを特徴とする半導体装置。

**【請求項2】** 絶縁基板上に薄膜トランジスタを複数配列した半導体装置において、該薄膜トランジスタのゲート電極とゲート配線、又は／及びソース・ドレイン電極は、A1-Nd（アルミニオジウム）合金とA1とを積層した構成であることを特徴とする半導体装置。

**【請求項3】** 絶縁基板上に薄膜トランジスタを複数配列した半導体装置において、該薄膜トランジスタのゲート配線はA1とA1-Nd（アルミニオジウム）合金を積層した構成からなり、かつ該薄膜トランジスタのゲート電極はA1-Nd（アルミニオジウム）合金の単層からなることを特徴とする半導体装置。

**【請求項4】** A1の膜厚は、A1-Nd合金の膜厚より厚いことを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

**【請求項5】** 絶縁基板上に薄膜トランジスタを複数配列した半導体装置において、該薄膜トランジスタのゲート配線はA1-Nd（アルミニオジウム）合金と高融点金属を積層した構成からなり、かつゲート電極は高融点金属の単層からなることを特徴とする半導体装置。

**【請求項6】** A1-Nd（アルミニオジウム）合金の膜厚は、高融点金属の膜厚より厚いことを特徴とする請求項5記載の半導体装置。

**【請求項7】** 前記高融点金属は、Mo、MoTa、MoW、Ti、TiN、Ta、TaN、W、WSiまたはCrであることを特徴とする請求項5又は請求項6記載の半導体装置。

**【請求項8】** 絶縁基板上に薄膜トランジスタを複数配列した半導体装置において、

該薄膜トランジスタのソース・ドレイン電極がA1-Nd（アルミニオジウム）合金とA1とA1-Nd（アルミニオジウム）合金を積層した構成であることを特徴とする半導体装置。

**【請求項9】** 前記ソース・ドレイン電極と前記ソース・ドレイン電極と接続されるソース・ドレイン配線は、同一の層構成であることを特徴とする請求項1、2、3、4、または8のいずれか1項に記載の半導体装置。

**【請求項10】** 前記ソース・ドレイン電極と接続されるソース・ドレイン配線としてA1単層配線を使用することを特徴とする請求項1、2、3、4、8のいずれか1項に記載の半導体装置。

**【請求項11】** 前記A1-Nd（アルミニオジウム）合金のNdの量は、2～6at%であることを特徴とする、請求項1～6、及び8のいずれか1項に記載の半導体装置。

**【請求項12】** 入射する光を電気信号に変換する光電変換素子と該光電変換素子からの該電気信号を転送するための、請求項1から11のいずれか1項に記載の半導体装置の薄膜トランジスタと、を備えた撮像装置。

**【請求項13】** 入射する放射線を電気信号に変換する変換体と、該変換体からの該電気信号を転送するための、請求項1から11のいずれか1項に記載の半導体装置の薄膜トランジスタと、を備えた放射線検出装置。

**【請求項14】** 請求項13に記載の放射線検出装置と、

前記放射線検出装置からの信号を処理する信号処理手段と、

前記信号処理手段からの信号を記録するための記録手段と、

前記信号処理手段からの信号を表示するための表示手段と、

前記信号処理手段からの信号を伝送するための伝送処理手段と、

前記放射線を発生させるための放射線源とを具備することを特徴とする放射線検出システム。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、絶縁基板上に薄膜トランジスタを有する画素を複数配列した半導体装置、撮像装置、放射線検出装置及び放射線検出システムに係わり、放射線検出装置、放射線検出システム、及び放射線検出装置などに用いられる薄膜トランジスタ（Thin Film Transistor、以下TFTと略す）を有する画素を複数配列したX線検出器の構成に好適に用いられるものである。

**【0002】** 特に、一対の薄膜トランジスタ（TFT）と光電変換素子とが複数配置された光センサーリー基板を有する撮像装置、あるいはこの光センサーリー基板上に、入射した放射線を該光電変換素子が検知可能な光に変換するシンチレーター層を設けてなる放射線検出装置及び放射線検出システムの構成に関する。

**【0003】** または、直接X線をキャリア（エレクトロンもしくはホール）に変換する放射線直接変換層（シンチレーター層）を設けてなる放射線検出装置及び放射線検出システムの構成に関するものである。

**【0004】**

**【従来の技術】** 図16（A）は本発明の従来例を示す模式的な断面図であり、図16（B）は本発明の従来例を示す模式的な平面図である。図16（A）は、図16（B）上の破線A-A'の断面図を示している。図16（A）は各々複数のTFTと複数の光電変換素子を有す

るX線検出器の1画素の模式的な断面図を示している。

【0005】次に、光センサーリードの作製方法について説明する。従来例は、逆スタガ型で、TFT部107と光電変換部108を同時に同一基板上に形成される場合を示している。

【0006】1. まず、絶縁基板（例えば、ガラス基板）101上にゲートメタル（Al, Cr等）をスパッタ法・蒸着法等により成膜して、フォトリソグラフィ工程によりパターニング、及びエッチングし、ゲート配線部102、光電変換部の下部電極部102'、ゲート電極部102''を形成する。エッチングには、ウエットエッチングとドライエッチングの両方が使用される。

【0007】2. 次に、ゲート絶縁膜（SiN、SiO<sub>2</sub>等）103をシラン、アンモニア、水素、TEOS等を原料ガスとするプラズマCVD（Chemical Vapor Deposition）法により形成する。

【0008】3. アモルファスシリコン（a-Si:H）、ポリシリコン等を用いた半導体層（I層）104をシランと水素を原料ガスとするプラズマCVD法により連続成膜する。この時、半導体層で光を十分な電気に変換するため半導体層（I層）を厚く（例えば、400Å～10000Å）成膜する。

【0009】4. 次いで、オーミックコンタクト層（n<sup>+</sup>層）105をプラズマCVD法により連続成膜する。オーミックコンタクト層としては、成膜中にホスフイン（PH<sub>3</sub>）等をドーピングガスとして導入し、シランと水素を原料ガスとして作られるアモルファスシリコンや微結晶シリコン（μc-Si）が用いられる。

【0010】5. スパッタ法により配線メタル（Al, Cr等）を成膜して、エッチングによりソース電極109、ドレイン電極106、信号線113、駆動配線110を形成する。信号線113は、ドレイン電極106につながっている。

【0011】6. さらに、その上部にデバイス特性の安定化のためにSiN、PI等の保護層112を介してGOS（Gd<sub>2</sub>O<sub>3</sub>・S（ガドリウム・オキサイド・サルファー））、CsI等のX線を光に変換する蛍光体層（シンチレーター層、不図示）が形成される。

【0012】この時、X線入射は、図中矢印方向111より入射し、蛍光体層（シンチレーター層、不図示）にて可視光等の光に変換され、その変換光を光電変換部108の半導体層104が読み取る。

### 【0013】

【発明が解決しようとする課題】しかしながら、ゲートメタルにCrを使用すると、配線抵抗が高く（比抵抗が約25μΩcm）なり、信号遅延が発生するという問題があり、動作速度の向上が難しく、センサーパネルを大型化することが困難となる。また、抵抗を下げるために配線幅を広げると、光電変換部の面積が狭くなるため開口率が低下し、感度が低下する。

【0014】さらに、感度を上げるために、ゲート絶縁膜を薄くする方法もある。しかしながら、ゲート配線の低抵抗化のため膜厚を厚くすると、ゲート配線部とゲート電極部の両方の膜厚が厚くなり、その結果ゲート電極部の絶縁耐圧が低下する。

【0015】また、ゲートメタルにAlを使用すると、配線抵抗は低い（比抵抗が約3μΩcm）が、耐熱性が低いという問題があり、製造プロセスで受ける熱履歴により、ヒロック・ホイスカーラ等が発生し、歩留まりが低下する問題を引き起こす。Alを使用する場合には、陽極酸化によりAl表面に酸化アルミを形成してヒロック・ホイスカーラ等の発生を抑制する方法も考えられるが、工程数が増えコストアップにつながる。

【0016】上述した課題は、ソース・ドレイン電極及び配線にもあり、例えば、ソース・ドレイン電極及び配線にAlを使用すると、配線抵抗は低い（比抵抗が約3μΩcm）が、耐熱性が低いという問題があり、製造プロセスで受ける熱履歴により、ヒロック・ホイスカーラ・スパイク等が発生し、歩留まりが低下する問題を引き起こす。

【0017】そこで、本発明ではCrよりも比抵抗が低く、かつ耐熱性の高いアルミ合金としてAl-Nd合金（比抵抗が約5μΩcm）を使用し低抵抗化を図るとともに、耐熱性の高いゲート配線・ゲート電極を形成し、開口率と感度の向上も達成することを目的とする。

【0018】また、本発明ではCrよりも比抵抗が低く、かつ耐熱性の高いアルミ合金としてAl-Nd合金（比抵抗が約5μΩcm）を使用し低抵抗化を図るとともに、耐熱性の高いソース・ドレイン電極及び配線を形成することを目的とする。

### 【0019】

【課題を解決するための手段】上記課題を解決するためには、本発明の半導体装置は、絶縁基板上に薄膜トランジスタを複数配列した半導体装置において、該薄膜トランジスタのゲート電極とゲート配線、又は／及びソース・ドレイン電極は、Al-Nd（アルミニオジウム）合金からなることを特徴とする。

【0020】また本発明の半導体装置は、絶縁基板上に薄膜トランジスタを複数配列した半導体装置において、該薄膜トランジスタのゲート電極とゲート配線、又は／及びソース・ドレイン電極は、AlとAl-Nd（アルミニオジウム）合金とを積層した構成であることを特徴とする。

【0021】また本発明の半導体装置は、絶縁基板上に薄膜トランジスタを複数配列した半導体装置において、該薄膜トランジスタのゲート電極とゲート配線、又は／及びソース・ドレイン電極は、Al-Nd（アルミニオジウム）合金とAlとを積層した構成であることを特徴とする。

【0022】また本発明の半導体装置は、絶縁基板上に

薄膜トランジスタを複数配列した半導体装置において、該薄膜トランジスタのゲート配線はA1とA1-Nd（アルミニオジウム）合金を積層した構成からなり、かつ該薄膜トランジスタのゲート電極はA1-Nd（アルミニオジウム）合金の単層からなることを特徴とする。

【0023】また本発明の半導体装置は、絶縁基板上に薄膜トランジスタを複数配列した半導体装置において、該薄膜トランジスタのゲート配線はA1-Nd（アルミニオジウム）合金と高融点金属を積層した構成からなり、かつゲート電極は高融点金属の単層からなることを特徴とする。前記高融点金属は、例えば、Mo、MoTa、MoW、Ti、TiN、Ta、TaN、W、WSiまたはCrを用いることができる。

【0024】また本発明の半導体装置は、絶縁基板上に薄膜トランジスタを複数配列した半導体装置において、該薄膜トランジスタのソース・ドレイン電極がA1-Nd（アルミニオジウム）合金とA1とA1-Nd（アルミニオジウム）合金を積層した構成であることを特徴とする。

【0025】前記ソース・ドレイン電極と該ソース・ドレイン電極と接続されるソース・ドレイン配線は、同一の層構成であること、前記ソース・ドレイン電極と接続されるソース・ドレイン配線としてA1単層配線を使用することができる。

【0026】本発明の撮像装置、放射線検出装置及び放射線検出システムは本発明の半導体装置を用いたものである。

【0027】なお、放射線とはX線や $\alpha$ 、 $\beta$ 、 $\gamma$ 線等をいい、入射する放射線を電気信号に変換する変換体は、蛍光体と蛍光体により変換された光を電気信号に変換する光電変換素子、入射する放射線を直接電気信号に変換する変換素子等をいう。

#### 【0028】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。なお、以下に示す実施例においては、ゲート配線又はゲート配線とゲート電極か、ソース・ドレイン電極かの一方をAl-Nd（アルミニオジウム）合金で構成しているが、ゲート配線又はゲート配線とゲート電極、及びソース・ドレイン電極をAl-Nd（アルミニオジウム）合金で構成してよいことは勿論である。

【0029】（実施例1）図1（A）に本発明の第1実施例を示す模式的な断面図を示し、図1（B）に本発明の第1実施例を示す模式的な平面図を示す。図1（A）は、図1（B）の破線A-A'で示される部分の断面図を示している。各々複数のTFTと複数の光電変換素子を有するX線検出器の1画素の模式的な断面図を示している。その構成については図16に示した従来例と同一であるが、ゲート配線として使用されている材料、及びその配線幅が異なる。

#### 【0030】

次に、X線検出器の作製方法について説明する。本実施例は、逆スタガ型で、TFT部107と光電変換部108とを同時に同一基板上に形成される場合を示している。

【0031】1. 絶縁基板（例えば、ガラス基板）101上にA1-Nd合金をスパッタ法等により成膜、フォトリソグラフィ工程によりバーニング、及びエッチングをし、ゲート配線114及び光電変換部の下部電極114'及びゲート電極114''を形成する。エッチングには、ウエットエッチングとドライエッチングの両方が使用される。スパッタ装置としては、従来使用されているA1用のスパッタ装置がそのまま使用できる。

【0032】A1-Nd合金の成膜条件としては、成膜温度400°C以下（好ましくは200°C以下）、成膜圧力 $1.3 \times 10^{-3} \sim 1.1 \times 10^{-2}$  torrが使用される（これ以後の実施例の成膜条件は、同一）。A1-Nd合金の膜厚としては、例えば500Å～3000Åが使用される。Ndは、2～6%（好ましくは、2%）が使用される。

【0033】2. ゲート絶縁膜（SiN、SiO<sub>2</sub>等）103をシラン、アンモニア、水素、TEOS等を原料ガスとするプラズマCVD（Chemical Vapor Deposition）法により形成する。

【0034】3. アモルファスシリコン（a-Si:H）、ポリシリコン等を用いた半導体層（I層）104をシランと水素を原料ガスとするプラズマCVD法により連続成膜する。この時、半導体層で光を十分な電気に変換するため半導体層（I層）を厚く（例えば、400Å～10000Å）成膜する。

【0035】4. 次いで、オーミックコンタクト層（n<sup>+</sup>層）105をプラズマCVD法により連続成膜する。オーミックコンタクト層としては、成膜中にホスフリン（PH<sub>3</sub>）等をドーピングガスとして導入し、シランと水素を原料ガスとして作られるアモルファスシリコンや微結晶シリコン（μc-Si）が用いられる。

【0036】5. スパッタ法により配線メタル（Al、Cr等）を成膜して、エッチングによりソース電極109、ドレイン電極106、信号線113、駆動配線110を形成する。信号線113は、ドレイン電極106につながっている。

【0037】6. さらに、その上部にデバイス特性の安定化のためにSiN、PI等の保護層112を介してGOS、CsI等のX線を光に変換する蛍光体層（シンチレーター層、不図示）が形成される。この時、X線入射は、図中矢印方向111より入射し、蛍光体層（シンチレーター層、不図示）にて可視光等の光に変換され、その変換光を光電変換部108の半導体層104が読み取る。

【0038】このとき、TFT部に接続されているゲート配線114は、A1-Nd合金を使用している為に低抵抗化が達成され、配線幅を小さくすることができる。

そのため、光電変換部108の面積を大きくすることができるため開口率が向上し、配線の低抵抗化と感度の向上を同時に達成することができる。

【0039】また、Al-Nd合金を使用している為に耐熱性が向上し、ヒロック・ホイスカー等が抑制され、歩留まりが向上する。

【0040】(実施例2) 図2(A)は本発明の第2実施例を示す模式的な断面図であり、図2(B)は本発明の第2実施例を示す模式的な平面図である。図2(B)は、図2(A)上の破線A-A'の断面図を示している。図2(A)に示す第2実施例の模式的な断面図は、ゲート配線として使用されている材料の構成のみが異なり、その他の構成については実施例1と同一である。

【0041】次に、ゲート配線及びゲート電極の形成方法について述べる。絶縁基板(例えば、ガラス基板)101上にAl102を形成し、次いでAl-Nd合金114をスパッタ法等により成膜して、ゲート配線(114, 102)、かつ光電変換素子の下部電極(114', 102')及びゲート電極(114'', 102'')を形成する。成膜には、2チャンバー以上のスパッタリングチャンバーを持つ枚葉式のスパッタ装置を用い、AlターゲットとAl-Nd合金ターゲットがそれぞれ装着されている。次いで、フォトリソグラフィ工程によりパターニング、及びエッチングをする。エッチングには、ウエットエッチングとドライエッチングの両方が使用される。

【0042】このような構成にすると、Alの採用により配線抵抗が低くなり、さらに上層にキャップメタルとして積層したAl-Nd合金がヒロック、ホイスカー等の発生を抑制するため歩留まりが向上する。

【0043】なおAlとAl-Nd(アルミニオジウム)合金との積層構成を逆にして、Al-Nd(アルミニオジウム)合金とAlとの積層構成としてもよいことは勿論である。

【0044】AlとAl-Nd合金のトータル膜厚は、絶縁耐圧向上の観点から3000Å以下が好ましい。また、低抵抗化の観点から、Alの膜厚は、Al-Nd合金の膜厚より厚く形成される。

【0045】(実施例3) 図3(A)は本発明の第3実施例を示す模式的な断面図であり、図3(B)で示されるA-A'の断面を表している。図3(B)は本発明の第3実施例を示す模式的な平面図である。また図4は、本発明の第3実施例を示すゲート配線部である図3(B)のB-B'の模式的な断面図である。複数のTFTと複数の光電変換素子を有する間接型X線検査装置の1画素の模式的な断面図を示している。

【0046】次に、X線検出器の作製方法について説明する。本実施例は、逆スタガ型で、TFT部107と光電変換部108を同時に同一基板上に形成される場合を示している。

【0047】1. 絶縁基板(例えば、ガラス基板)101上に第1のゲートメタルであるAlをスパッタ法等により成膜、フォトリソグラフィ工程によりパターニング、及びエッチングをする。エッチングには、ウエットエッチングとドライエッチングの両方が使用される。スパッタ装置としては、従来使用されているAl用のスパッタ装置がそのまま使用できる。

【0048】2. 次いで、第2のゲートメタルであるAl-Nd合金をスパッタ法等により成膜、フォトリソグラフィ工程によりパターニング、及びエッチングをする。エッチングには、ウエットエッチングとドライエッチングの両方が使用される。スパッタ装置としては、従来使用されているAl用のスパッタ装置がそのまま使用できる。第1のゲートメタルと第2のゲートメタルは、材質だけでなくパターンも異なる。すなわち、図3(A)、図3(B)に示されている様に、第1のゲートメタルは、ゲート配線部102のみを構成する。第2のゲートメタルは光電変換部108の下部電極114'、薄膜トランジスタ部107のゲート電極部114''および、ゲート配線部114のキャップメタルを構成する。

【0049】AlとAl-Nd合金のトータル膜厚は、絶縁耐圧向上の観点から3000Å以下が好ましい。また、低抵抗化の観点から、Alの膜厚は、Al-Nd合金の膜厚より厚く形成される。

【0050】3. 次いで、ゲート絶縁膜(SiN、SiO<sub>2</sub>等)103をシラン、アンモニア、水素、TEOS等を原料ガスとするプラズマCVD(Chemical Vapor Deposition)法により形成する。

【0051】4. アモルファスシリコン(a-Si:H)、ポリシリコン等を用いた半導体層(I層)104をシランと水素を原料ガスとするプラズマCVD法により連続成膜する。この時、半導体層で光を十分な電気に変換するため半導体層(I層)を厚く(例えば、4000Å~10000Å)成膜する必要がある。

【0052】5. 次いで、オームックコンタクト層(n<sup>+</sup>層)105をプラズマCVD法により連続成膜する。オームックコンタクト層としては、成膜中にホスフリン(PH<sub>3</sub>)等をドーピングガスとして導入し、シランと水素を原料ガスとして作られるアモルファスシリコンや微結晶シリコン(μc-Si)が用いられる。

【0053】6. スパッタ法により配線メタル(Al, Cr等)を成膜して、エッチングによりソース電極109、ドレイン電極106、信号線113、駆動配線110を形成する。信号線113は、ドレイン電極106につながっている。

【0054】7. さらに、その上部にデバイス特性の安定化のためにSiN、PI等の保護層112を介してGOS、CsI等の蛍光体層(シンチレーター層、不図示)が形成される。この時、X線入射は、図中矢印方向50 111より入射し、蛍光体層(シンチレーター層、不図示)

示)にて可視光等の光に変換され、その変換光を光電変換部108の半導体層104が読み取る。

【0055】このような構成にすると、第1のゲートメタル102を第2のゲートメタル(AI-Nd合金)114が上部だけでなく側面も覆うことになり、ヒロックが横方向に成長するのを防ぐことができる。

【0056】次に薄膜トランジスタ(TFT)部の詳細について説明する。図5は、ゲート絶縁膜103成膜後のTFT部の詳細を示している。ゲート電極の膜厚が厚い場合、その上に形成されるゲート絶縁膜103のステップカバレッジが悪いため、段差部での絶縁耐圧が低下し、リーク電流が発生しやすくなる。しかしながら、ゲート電極の膜厚が薄い場合、段差部での絶縁耐圧低下が抑制され、リーク電流の発生が抑えられる。同様の効果が、光電変換部108、及びTFT部107のゲート絶縁膜上でもある。

【0057】また、絶縁耐圧が向上するためゲート絶縁膜103の膜厚を薄くすることができ、MIS型センサーの感度の向上を図ることもできる。

【0058】すなわち、このような構成にすると、ゲート配線部の低抵抗化を図りながら、センサー感度の向上かつ薄膜トランジスタ(TFT)部及び光電変換部108のゲート絶縁膜耐圧の向上を図ることができる。

【0059】(実施例4) 図6(A)は本発明の第4実施例を示す模式的な断面図であり、図6(B)で示されるA-A'の断面を表している。図6(B)は本発明の第4実施例を示す模式的な平面図である。図7は、本発明の第4実施例を示すゲート配線部B-B'の模式的な断面図である。複数のTFTと複数の光電変換素子を有する間接型X線検査装置の1画素の模式的な断面図を示している。

【0060】次に、X線検出器の作製方法について説明する。本実施例は、逆スタガ型で、TFT部107と光電変換部108を同時に同一基板上に形成される場合を示している。

【0061】1. 絶縁基板(例えば、ガラス基板)101上に第1のゲートメタルであるAI-Nd合金をスパッタ法等により成膜、フォトリソグラフィ工程によりバーニング、及びエッチングをする。エッチングには、ウエットエッチングとドライエッチングの両方が使用される。スパッタ装置としては、従来使用されているAI用のスパッタ装置がそのまま使用できる。

【0062】2. 次いで、第2のゲートメタルである高融点金属をスパッタ法等により成膜、フォトリソグラフィ工程によりバーニング、及びエッチングをする。高融点金属としては、例えば、Mo、またはMoTa、またはMoW、またはTi、TiN、Ta、TaN、またはW、またはWSi、またはCr等が使用される。エッチングには、ウエットエッチングとドライエッチングの両方が使用される。第1のゲートメタルと第2のゲー

トメタルは、材質だけでなくパターンも異なる。すなわち、図6(A)、図6(B)に示されている様に、第1のゲートメタルは、ゲート配線部114のみを構成する。第2のゲートメタルは光電変換部108の下部電極411'、薄膜トランジスタ部107のゲート電極部411"および、ゲート配線部411のキャップメタルを構成する。高融点金属とAI-Nd合金のトータル膜厚は、絶縁耐圧向上の観点から3000Å以下が好ましい。また、低抵抗化の観点から、AI-Nd合金の膜厚は、高融点金属の膜厚より厚く形成される。

【0063】3. 次いで、ゲート絶縁膜(SiN、SiO<sub>2</sub>等)103をシラン、アンモニア、水素、TEOS等を原料ガスとするプラズマCVD(Chemical Vapor Deposition)法により形成する。

【0064】4. アモルファスシリコン(a-Si:H)、ポリシリコン等を用いた半導体層(I層)104をシランと水素を原料ガスとするプラズマCVD法により連続成膜する。この時、半導体層で光を十分な電気に変換するため半導体層(I層)を厚く(例えば、400Å~10000Å)成膜する必要がある。

【0065】5. 次いで、オーミックコンタクト層(n<sup>+</sup>層)105をプラズマCVD法により連続成膜する。オーミックコンタクト層としては、成膜中にホスファイン(PH<sub>3</sub>)等をドーピングガスとして導入し、シランと水素を原料ガスとして作られるアモルファスシリコンや微結晶シリコン(μc-Si)が用いられる。

【0066】6. スパッタ法により配線メタル(AI、Cr等)を成膜して、エッティングによりソース電極109、ドレイン電極106、信号線113、駆動配線110を形成する。信号線113は、ドレイン電極106につながっている。

【0067】7. さらに、その上部にデバイス特性の安定化のためにSiN、PI等の保護層112を介してGOS、CsI等の蛍光体層(シンチレーター層、不図示)が形成される。この時、X線入射は、図中矢印方向111より入射し、蛍光体層(シンチレーター層、不図示)にて可視光等の光に変換され、その変換光を光電変換部108の半導体層104が読み取る。

【0068】この構成にすると、第1のゲートメタル114を第2のゲートメタル411が上部だけでなく側面も覆うことになり、ヒロックが横方向に成長するのを防ぐことができる。

【0069】次に薄膜トランジスタ(TFT)部の詳細について説明する。図8は、ゲート絶縁膜103成膜後のTFT部の詳細を示している。ゲート電極の膜厚が厚い場合、その上に形成されるゲート絶縁膜103のステップカバレッジが悪いため、段差部での絶縁耐圧が低下し、リーク電流が発生しやすくなる。しかしながら、ゲート電極の膜厚が薄い場合、段差部での絶縁耐圧低下が抑制され、リーク電流の発生が抑えられる。同様の効果

が、光電変換部108、及びTFT部107のゲート絶縁膜上でもある。

【0070】また、絶縁耐圧が向上するためゲート絶縁膜103の膜厚を薄くすることができ、MIS型センサーの感度の向上を図ることもできる。

【0071】すなわち、このような構成にすると、ゲート配線部の低抵抗化を図りながら、センサー感度の向上かつ薄膜トランジスタ(TFT)部及び光電変換部108のゲート絶縁膜耐圧向上を図ることができる。

【0072】また、本発明は、実施例1から実施例4で示したMIS型センサー以外にも、例えばPIN型センサーにも適用できる。

【0073】また、本発明は、実施例1から実施例4で示した間接型X線検出器以外にも、例えばX線を直接電荷に変換する直接型X線検出器にも適用できる。

【0074】(実施例5)図9(A)は本発明の第5実施例を示す模式的な断面図であり、図9(B)は本発明の第5実施例を示す模式的な平面図である。図9(A)は、図9(B)上の破線A-A'の断面図を示している。各々複数のTFTと複数の光電変換素子を有するX線検出器の1画素の模式的な断面図を示している。

【0075】次に、X線検出器の作製方法について説明する。本実施例は、逆スタガ型で、TFT部107と光電変換部108を同時に同一基板上に形成される場合を示している。

【0076】1. 絶縁基板(例えば、ガラス基板)101上にゲートメタル(A1, Cr等)をスパッタ法・蒸着法等により成膜して、フォトリソグラフィ工程によりバターニング、及びエッチングし、ゲート配線部102、光電変換部の下部電極部102'、ゲート電極部102"を形成する。エッチングには、ウエットエッチングとドライエッチングの両方が使用される。

【0077】2. ゲート絶縁膜(SiN, SiO<sub>2</sub>等)103をシラン、アンモニア、水素、TEOS等を原料ガスとするプラズマCVD(Chemical Vapor Deposition)法により形成する。

【0078】3. アモルファスシリコン(a-Si:H)、ポリシリコン等を用いた半導体層(I層)104をシランと水素を原料ガスとするプラズマCVD法により連続成膜する。この時、半導体層で光を十分な電気に変換するため半導体層(I層)を厚く(例えば、400Å~10000Å)成膜する必要がある。

【0079】4. 次いで、オーミックコンタクト層(n<sup>+</sup>層)105をプラズマCVD法により連続成膜する。オーミックコンタクト層としては、成膜中にホスフィン(PH<sub>3</sub>)等をドーピングガスとして導入し、シランと水素を原料ガスとして作られるアモルファスシリコンや微結晶シリコン(μc-Si)が用いられる。

【0080】5. スパッタ法によりAl-Nd合金を成膜して、エッチングによりソース電極115、ドレイ

ン電極116、信号線118、駆動配線117を形成する。信号線118は、ドレイン電極116につながっている。Al-Nd合金の膜厚は、例えば5000Å~15000Åが使用される。

【0081】6. さらに、その上部にデバイス特性の安定化のためにSiN、PI等の保護層112を介してGOS、CsI等のX線を光に変換する蛍光体層(シンチレーター層、不図示)が形成される。この時、X線入射は、図中矢印方向111より入射し、蛍光体層(シンチレーター層、不図示)にて可視光等の光に変換され、その変換光を光電変換部108の半導体部104が読み取る。

【0082】このような構成にすると、Al-Nd合金がヒロック、ホイスカー等の発生を抑制するため、歩留まりが向上する。

【0083】(実施例6)図10(A)、図10(B)は本発明の第6実施例の模式的な断面図及び平面図である。本実施例は、ソース・ドレイン電極、駆動用配線、信号線として使用されている材料の構成のみが異なり、20 その他の構成については第5実施例と同一である。

【0084】次に、ソース・ドレイン電極、駆動用配線、信号線の形成方法について述べる。オーミックコンタクト層(n<sup>+</sup>層)105上にAlを形成し、次いでAl-Nd合金をスパッタ法等により成膜する。成膜には、2チャンバー以上のスパッタリングチャンバーを持つ枚葉式のスパッタ装置を用い、AlターゲットとAl-Nd合金ターゲットがそれぞれ装着されている。次いで、フォトリソグラフィ工程によりパターニング、及びエッチングによりソース電極201, 202、ドレン電極203, 204、駆動用配線205, 206、信号線207, 208を形成する。エッチングには、主にドライエッチング法が使用される。

【0085】AlとAl-Nd合金のトータル膜厚は、例えば5000Å~15000Åが使用される。また、低抵抗化の観点から、Alの膜厚は、Al-Nd合金の膜厚より厚く形成される。

【0086】このような構成にすると、上層にキャップメタルとして積層したAl-Nd合金がヒロック、ホイスカー等の発生を抑制し歩留まりが向上すると同時に、40 Al-Nd合金単層配線よりも低抵抗なゲート配線を形成することができる。

【0087】(実施例7)図11(A)、図11(B)は本発明の第7実施例の模式的な断面図及び平面図である。本実施例は、ソース・ドレイン電極、駆動用配線、信号線として使用されている材料の構成のみが異なり、その他の構成については第5実施例と同一である。

【0088】次に、ソース・ドレイン電極、駆動用配線、信号線の形成方法について述べる。オーミックコンタクト層(n<sup>+</sup>層)105上にAl-Nd合金を形成し、次いでAlをスパッタ法等により成膜する。成膜に

は、2チャンバー以上のスパッタリングチャンバーを持つ枚葉式のスパッタ装置を用い、A1ターゲットとA1-Nd合金ターゲットがそれぞれ装着されている。次いで、フォトリソグラフィ工程によりパターニング、及びエッチングによりソース電極301, 302、ドレイン電極303, 304、駆動用配線305, 306、信号線307, 308を形成する。エッチングには、主にドライエッチング法が使用される。

【0089】 A1とA1-Nd合金のトータル膜厚は、例えば5000Å～15000Åが使用される。また、低抵抗化の観点から、A1の膜厚は、A1-Nd合金の膜厚より厚く形成される。

【0090】 このような構成にすると、下層にA1-Nd合金がスパイクの発生を抑制し歩留まりが向上すると同時に、A1-Nd合金単層配線よりも低抵抗なゲート配線を形成することができる。

【0091】 (実施例8) 図12(A)、図12(B)は本発明の第8実施例の模式的な断面図及び平面図である。本実施例は、ソース・ドレイン電極、駆動用配線、信号線として使用されている材料の構成のみが異なり、その他の構成については第5実施例と同一である。

【0092】 次に、ソース・ドレイン電極・駆動用配線・信号線の形成方法について述べる。オーミックコンタクト層(n+層)105上にA1-Nd合金を形成し、次いでA1を形成し、次いでA1-Nd合金をスパッタ法等により成膜する。成膜には、2チャンバー以上のスパッタリングチャンバーを持つ枚葉式のスパッタ装置を用い、A1ターゲットとA1-Nd合金ターゲットがそれぞれ装着されている。次いで、フォトリソグラフィ工程によりパターニング、及びエッチングによりソース電極401, 402, 403、ドレイン電極404, 405, 406、駆動用配線407, 408, 409、信号線420, 421, 422を形成する。エッチングには、主にドライエッチング法が使用される。

【0093】 A1とA1-Nd合金のトータル膜厚は、例えば5000Å～15000Åが使用される。また、低抵抗化の観点から、A1の膜厚は、A1-Nd合金の膜厚より厚く形成される。

【0094】 このような構成にすると、上層にキャップメタルとして積層したA1-Nd合金がヒロック、ホイスカー等の発生を抑制し、下層のA1-Nd合金がスパイクの発生を抑制し歩留まりが向上すると同時に、A1-Nd合金単層配線よりも低抵抗なゲート配線を形成することができる。

【0095】 (実施例9) 図13(A)は本発明の第9実施例を示す模式的な断面図であり、図13(B)は本発明の第9実施例を示す模式的な平面図である。図13(A)は、図13(B)上の破線A-A'の断面図を示している。各々複数のTFTと複数の光電変換素子を有するX線検出器の1画素の模式的な断面図を示してい

る。

【0096】 次に、X線検出器の作製方法について説明する。本実施例は、逆スタガ型で、TFT部107と光電変換部108を同時に同一基板上に形成される場合を示している。

【0097】 1. 絶縁基板(例えば、ガラス基板)101上にゲートメタル(A1, Cr等)をスパッタ法・蒸着法等により成膜して、フォトリソグラフィ工程によりパターニング、及びエッチングし、ゲート配線部102、光電変換部の下部電極部102'、ゲート電極部102''を形成する。エッチングには、ウエットエッチングとドライエッチングの両方が使用される。

【0098】 2. ゲート絶縁膜(SiN, SiO<sub>2</sub>等)103をシラン、アンモニア、水素、TEOS等を原料ガスとするプラズマCVD(Chemical Vapor Deposition)法により形成する。

【0099】 3. アモルファスシリコン(a-Si:H)、ポリシリコン等を用いた半導体層(I層、104)をシランと水素を原料ガスとするプラズマCVD法により連続成膜する。この時、半導体層で光を十分な電気に変換するため半導体層(I層)を厚く(例えば、4000Å～10000Å)成膜する必要がある。

【0100】 4. 次いで、オーミックコンタクト層(n+層、105)をプラズマCVD法により連続成膜する。オーミックコンタクト層としては、成膜中にホスフィン(PH<sub>3</sub>)等をドーピングガスとして導入し、シランと水素を原料ガスとして作られるアモルファスシリコンや微結晶シリコン(μc-Si)が用いられる。

【0101】 5. オーミックコンタクト層(n+層)105上にA1-Nd合金を形成し、次いでA1をスパッタ法等により成膜する。成膜には、2チャンバー以上のスパッタリングチャンバーを持つ枚葉式のスパッタ装置を用い、A1ターゲットとA1-Nd合金ターゲットがそれぞれ装着されている。A1とA1-Nd合金のトータル膜厚は、例えば5000Å～15000Åが使用される。また、低抵抗化の観点から、A1の膜厚は、A1-Nd合金の膜厚より厚く形成される。次いで、フォトリソグラフィ工程によりパターニング、及びエッチングによりソース電極301, 302、ドレイン電極303, 304、駆動用配線305, 306、信号線307, 308を形成する。エッチングには、主にドライエッチング法が使用される。信号線118は、ドレイン電極116につながっている。

【0102】 6. さらに、その上部にデバイス特性の安定化、及び平坦化のためにSiN、PI等の保護層112を形成する。その保護層に電気的な接続用にコンタクトホール503を形成する。コンタクトホールの形成には、フォトリソグラフィ工程によりパターニング、及びエッチングをする。エッチングには、ドライエッチング法が主に使用される。

【0103】7. スパッタ法、真空蒸着法等によりA1を成膜、フォトリソグラフィ工程によりパターニング、及びエッチングをし、駆動用配線501及び信号線502を形成する。

【0104】8. さらに、その上部にデバイス特性の安定化のためにSIN、PI等の保護層（不図示）を介してGOS、CsI等のX線を光に変換する蛍光体層（シンチレーター層、不図示）が形成される。この時、X線入射は、図中矢印方向111より入射し、蛍光体層（シンチレーター層、不図示）にて可視光等の光に変換され、その変換光を光電変換部108の半導体部104が読み取る。

【0105】このような構成にすると、ソース・ドレン電極として積層したAl-Nd合金がヒロック、ホイスカ、スパイク等の発生を抑制し歩留まりが向上すると同時に、Al-Nd合金より低抵抗なAl単層配線、すなわち信号線502、駆動用配線501を形成することができる。

【0106】次に、本発明によるX線検出器の実装例及びそれを用いたX線検出システムについて説明する。

【0107】図14(a)、図14(b)は本発明によるX線検出器の実装例の模式的構成図及び模式的断面図である。

【0108】光電変換素子とTFTはa-Siセンサ基板6011内に複数個形成され、シフトレジスタSR1と検出用集積回路ICが実装されたフレキシブル回路基板6010が接続されている。フレキシブル回路基板6010の逆側は回路基板PCB1、PCB2に接続されている。前記a-Siセンサ基板6011の複数枚が基台6012の上に接着され大型の光電変換装置を構成する基台6012の下には処理回路6018内のメモリ6014をX線から保護するため鉛板6013が実装されている。a-Siセンサ基板6011上にはX線を可視光等の光に変換するためのシンチレーター6030たとえばCsIが、蒸着されている。図14(b)に示されるように全体をカーボンファイバー製のケース6020に収納している。

【0109】図15は本発明によるX線検出装置のX線診断システムへの応用例を示したものである。

【0110】X線チューブ6050で発生したX線6060は患者あるいは被験者6061の胸部6062を透過し、シンチレーターを上部に実装した光電変換装置6040に入射する。この入射したX線には患者6061の体内部の情報が含まれている。X線の入射に対応してシンチレーターは発光し、これを光電変換して、電気的情報を得る。この情報はデジタルに変換されイメージプロセッサ6070により画像処理され制御室のディスプレイ6080で観察できる。

【0111】また、この情報は電話回線6090等の伝送手段により遠隔地へ転送でき、別の場所のドクタール

ームなどディスプレイ6081に表示もしくは光ディスク等の保存手段に保存することができ、遠隔地の医師が診断することも可能である。またフィルムプロセッサ6100によりフィルム6110に記録することもできる。

### 【0112】

【発明の効果】本発明によれば、ゲート電極又は／及びゲート配線用の金属にAl-Nd合金を使用することにより、配線抵抗が低くなり、信号遅延が軽減され、動作速度の向上、センサーパネルを大型化することができる。さらに、配線幅を小さくすることが出来る為、開口率の向上も可能である。

【0113】また、光電変換素子と薄膜トランジスタ(TFT)を同一基板上に形成する場合、ゲート電極又は／及びゲート配線にAl1とAl-Nd合金の積層構造、及び光電変換素子の下部電極及びゲート電極にAl-Nd合金を使用すると、耐熱性が向上し、ヒロック・ホイスカ等が抑制され歩留まりが向上する。光電変換素子の下部電極及びゲート電極の膜厚を薄くできるため、ゲート配線部の低抵抗化を図りながら、センサー感度の向上かつ薄膜トランジスタ(TFT)部及び光電変換部のゲート絶縁膜耐圧向上ができる。

【0114】また、光電変換素子と薄膜トランジスタ(TFT)を同一基板上に形成する場合、ゲート配線にAl-Nd合金と高融点金属の積層構造、及び光電変換素子の下部電極及びゲート電極に高融点金属を使用すると、耐熱性が向上し、ヒロック・ホイスカ等が抑制され歩留まりが向上する。光電変換素子の下部電極及びゲート電極の膜厚を薄くできるため、ゲート配線部の低抵抗化を図りながら、センサー感度の向上かつ薄膜トランジスタ(TFT)部及び光電変換部のゲート絶縁膜耐圧向上ができる。

【0115】また本発明によれば、ソース・ドレン電極及び配線にAl-Nd合金を用いると、ヒロック、ホイスカ、スパイク等の発生を抑制し歩留まりの向上を達成することができる。

【0116】さらに、積層構造を用いた場合、上層にキャップメタルとして積層したAl-Nd合金がヒロック、ホイスカ等の発生を抑制し、下層のAl-Nd合金がスパイクの発生を抑制し歩留まりが向上すると同時に、Al-Nd合金単層配線よりも低抵抗なゲート配線を形成することができる。

【0117】さらに、ゲート電極として積層したAl-Nd合金がヒロック、ホイスカ、スパイク等の発生を抑制し歩留まりが向上すると同時に、Al-Nd合金より低抵抗なAl単層配線を形成することにより、配線部のさらなる低抵抗化が達成される。

### 【図面の簡単な説明】

【図1】本発明の第一実施例を示すX線検出器の模式的断面図及び模式的平面図である。

【図2】本発明の第二実施例を示すX線検出器の模式的断面図及び模式的平面図である。

【図3】本発明の第三実施例を示すX線検出器の模式的断面図及び模式的平面図である。

【図4】本発明の第三実施例を示すX線検出器のゲート配線部の模式的断面図である。

【図5】本発明の第三実施例の効果を説明するX線検出器の模式的断面図である。

【図6】本発明の第四実施例を示すX線検出器の模式的断面図及び模式的平面図である。

【図7】本発明の第四実施例を示すX線検出器のゲート配線部の模式的断面図である。

【図8】本発明の第四実施例の効果を説明するX線検出器の模式的断面図である。

【図9】本発明の第五実施例を示すX線検出器の模式的断面図及び模式的平面図である。

【図10】本発明の第六実施例を示すX線検出器の模式的断面図及び模式的平面図である。

【図11】本発明の第七実施例を示すX線検出器の模式的断面図及び模式的平面図である。

【図12】本発明の第八実施例を示すX線検出器の模式的断面図及び模式的平面図である。

【図13】本発明の九実施例を示すX線検出器の模式的断面図及び模式的平面図である。

【図14】本発明によるX線検出装置の実装例の模式的構成図及び模式的断面図である。

【図15】本発明によるX線検出装置のX線診断システムへの応用例を示したものである。

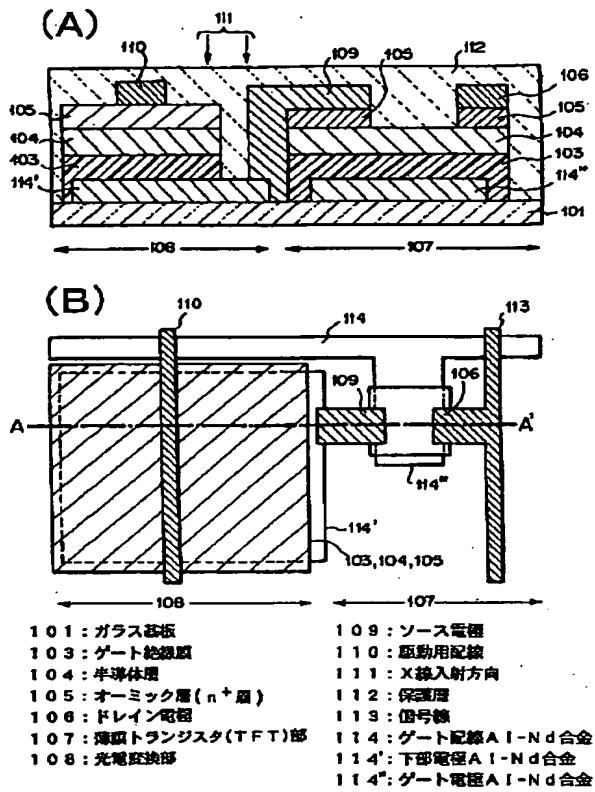
【図16】従来例を示すX線検出器の模式的断面図及び模式的平面図である。

#### 【符号の説明】

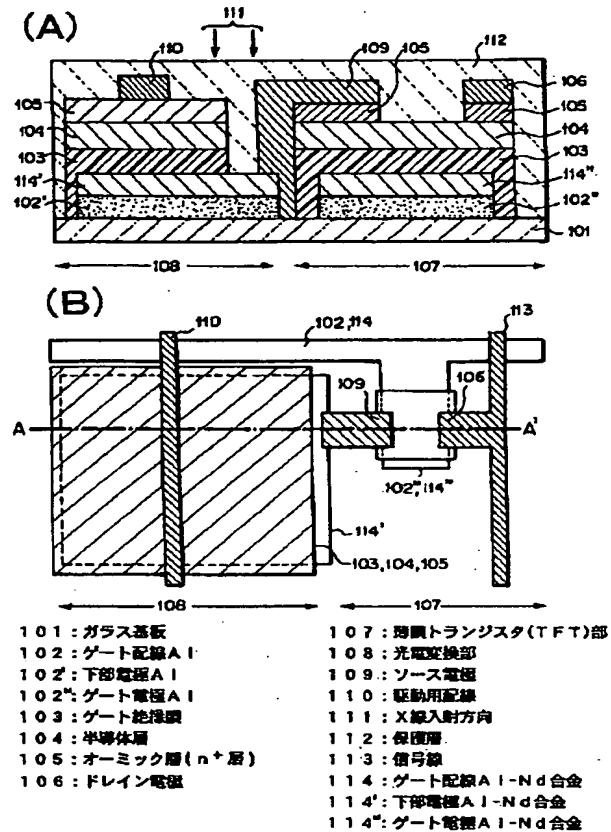
- 101 絶縁基板（ガラス基板）
- 102 ゲート配線部（A1, Cr等）
- 102' 光電変換部108の下部電極部（A1, Cr等）
- 102'' ゲート電極（A1, Cr等）
- 103 ゲート絶縁膜（SiN, SiO<sub>2</sub>等）
- 104 半導体層（I層、a-Si:H、ポリシリコン等）
- 105 オーミックコンタクト層（n<sup>+</sup>層、a-Si、μc-Si等）
- 103, 104, 105 三層CVD膜（3つの層をまとめてこのように呼ぶ）
- 106 ドレイン電極（A1, Cr等）
- 107 薄膜トランジスタ（TFT）部
- 108 光電変換部

- 109 ソース電極（A1, Cr等）
- 110 駆動配線（A1, Cr等）
- 111 X線入射方向
- 112 保護層
- 113 信号線
- 114 A1-Nd合金層
- 114' 光電変換部（108）のA1-Nd合金を用いた下部電極部
- 114'' A1-Nd合金を用いたゲート電極
- 115 ソース電極（A1-Nd合金）
- 116 ドレイン電極（A1-Nd合金）
- 117 駆動用配線（A1-Nd合金）
- 201 ソース電極（A1）
- 202 ソース電極（A1-Nd合金）
- 203 ドレイン電極（A1）
- 204 ドレイン電極（A1-Nd合金）
- 205 駆動用配線（A1）
- 206 駆動用配線（A1-Nd合金）
- 207 信号線（A1）
- 208 信号線（A1-Nd合金）
- 301 ソース電極（A1-Nd合金）
- 302 ソース電極（A1）
- 303 ドレイン電極（A1-Nd合金）
- 304 ドレイン電極（A1）
- 305 駆動用配線（A1-Nd合金）
- 306 駆動用配線（A1）
- 307 信号線（A1-Nd合金）
- 308 信号線（A1）
- 401 ソース電極（A1-Nd合金）
- 402 ソース電極（A1）
- 403 ソース電極（A1-Nd合金）
- 404 ドレイン電極（A1-Nd合金）
- 405 ドレイン電極（A1）
- 406 ドレイン電極（A1-Nd合金）
- 407 駆動用配線（A1-Nd合金）
- 408 駆動用配線（A1）
- 409 駆動用配線（A1-Nd合金）
- 411 ゲート配線（高融点金属）
- 411' 光電変換部（108）の高融点金属を用いた下部電極部
- 411'' 高融点金属を用いたゲート電極
- 420 信号線（A1-Nd合金）
- 421 信号線（A1）
- 422 信号線（A1-Nd合金）
- 501 駆動用配線（A1）
- 502 信号線（A1）

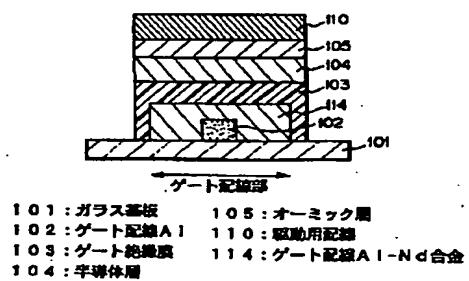
【図1】



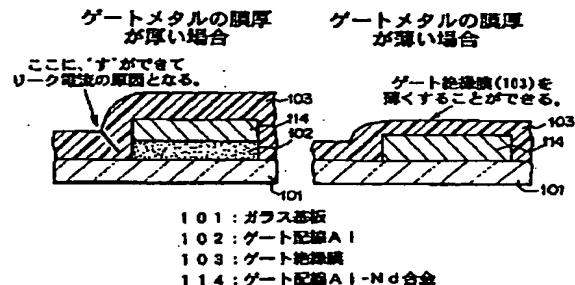
【図2】



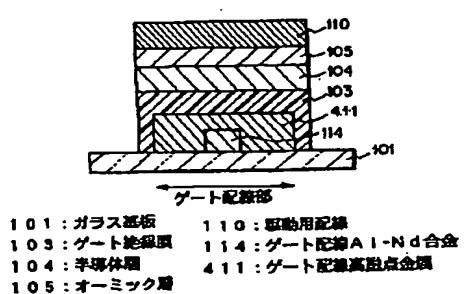
【図4】



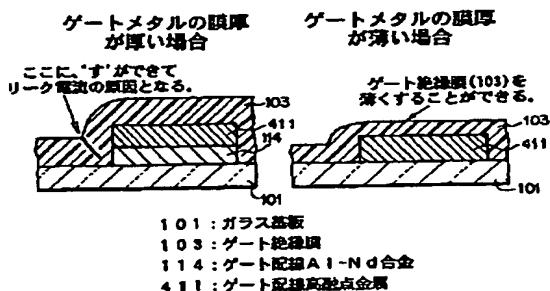
【図5】



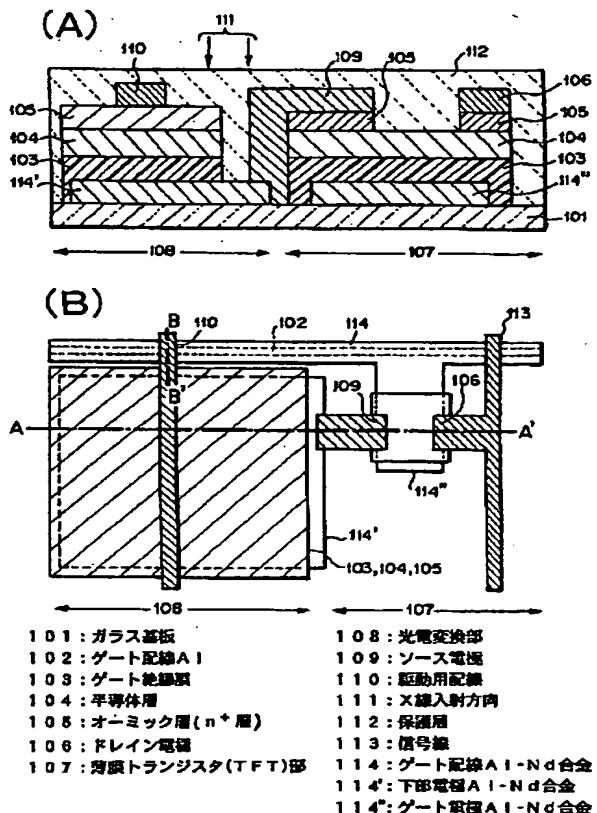
【図7】



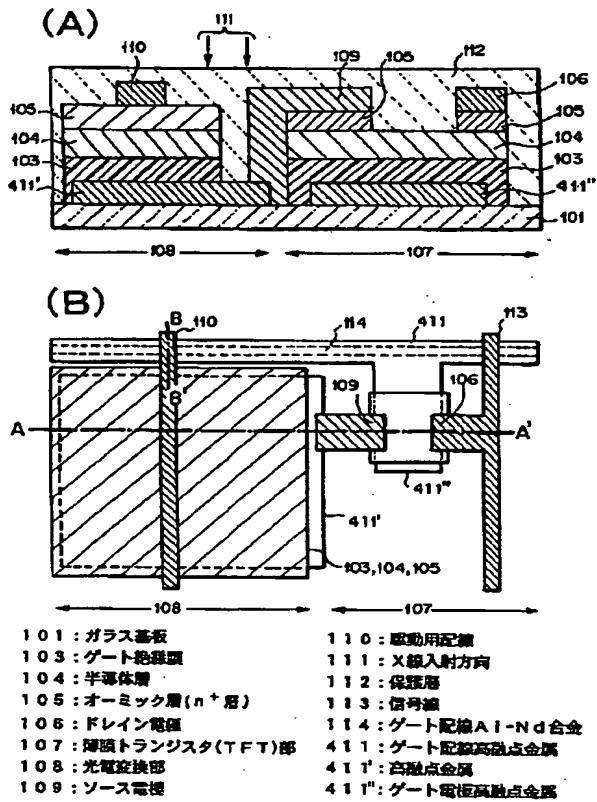
【図8】



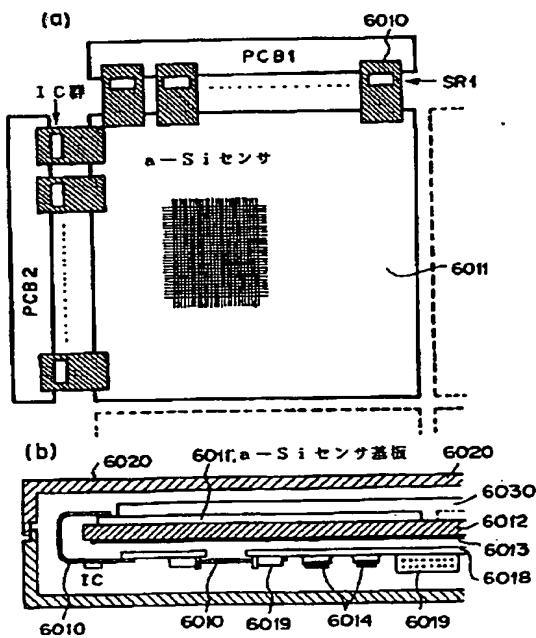
【図3】



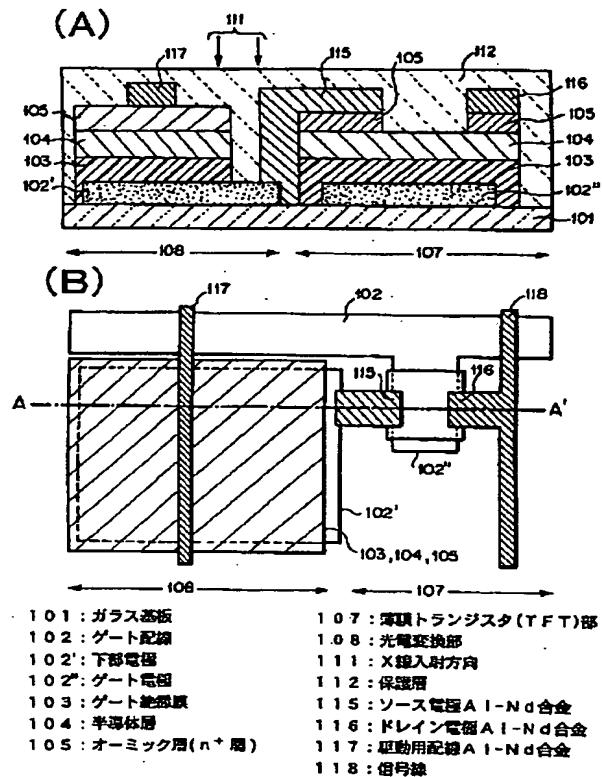
【図6】



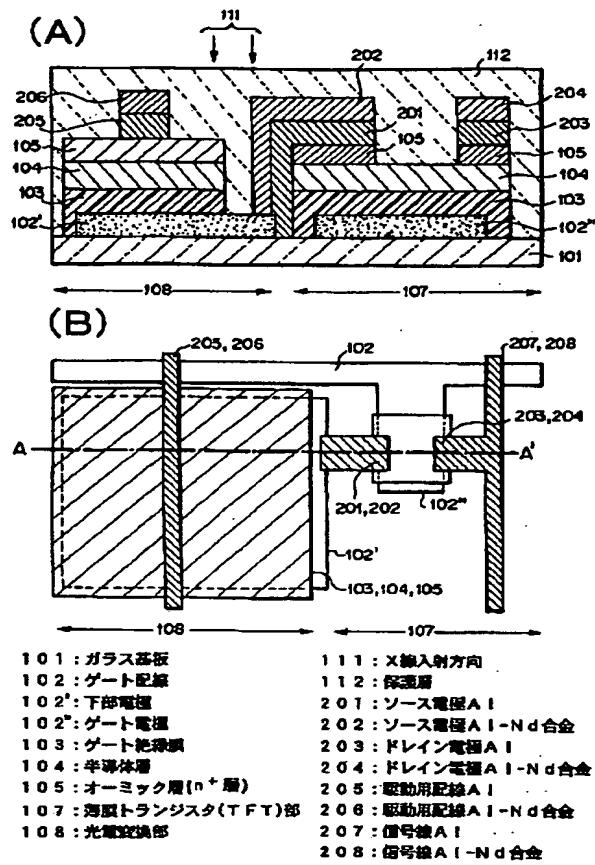
【図14】



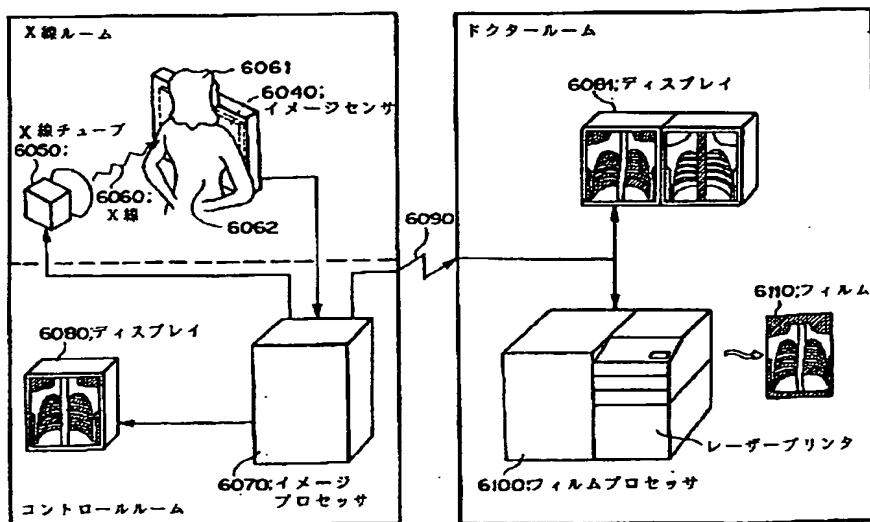
【図9】



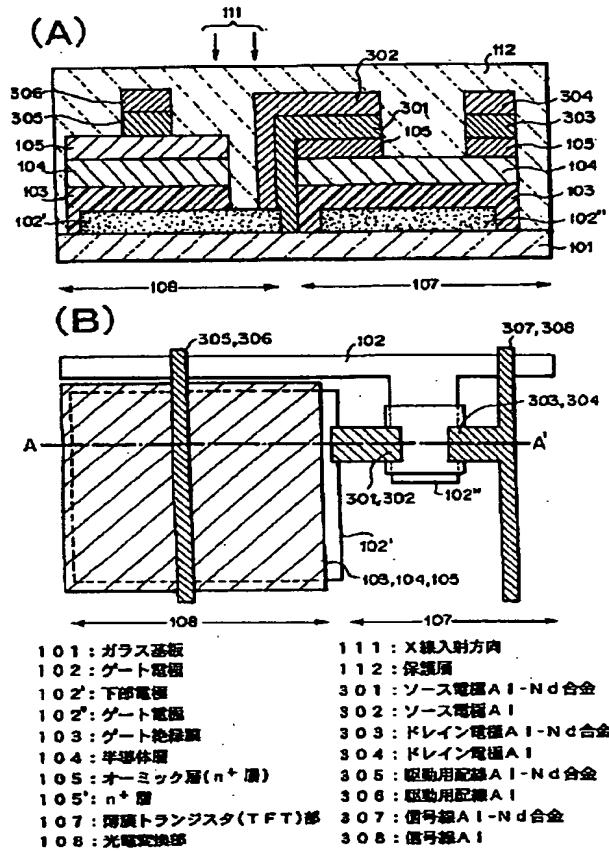
【図10】



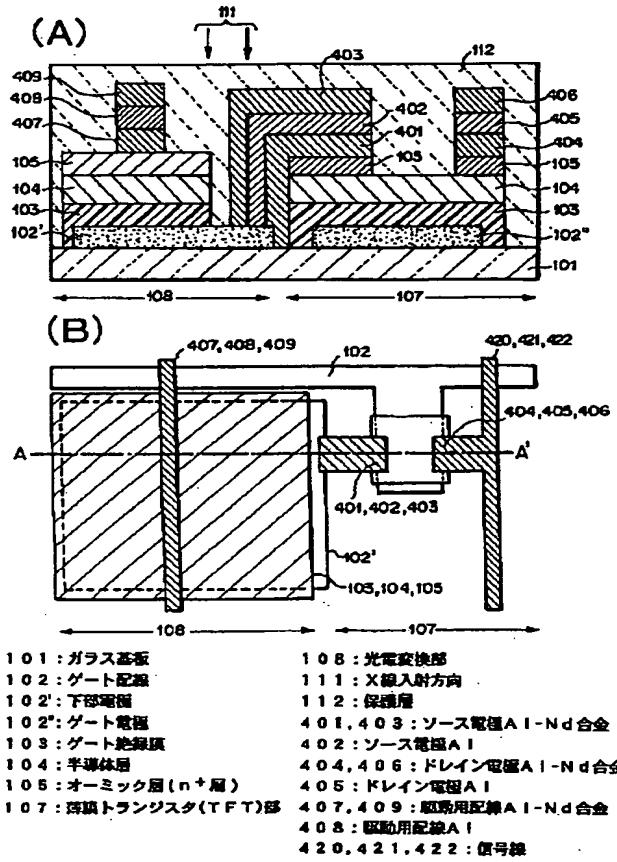
【図15】



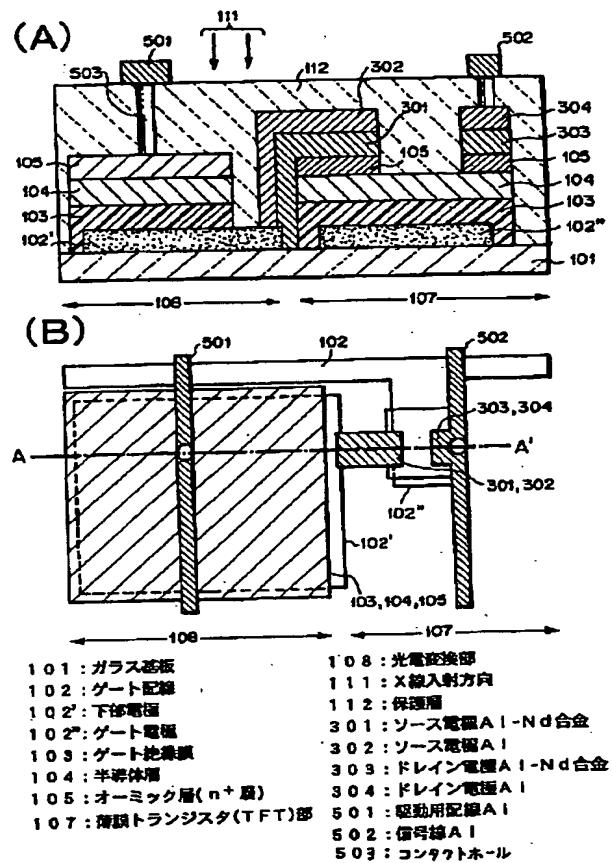
【図11】



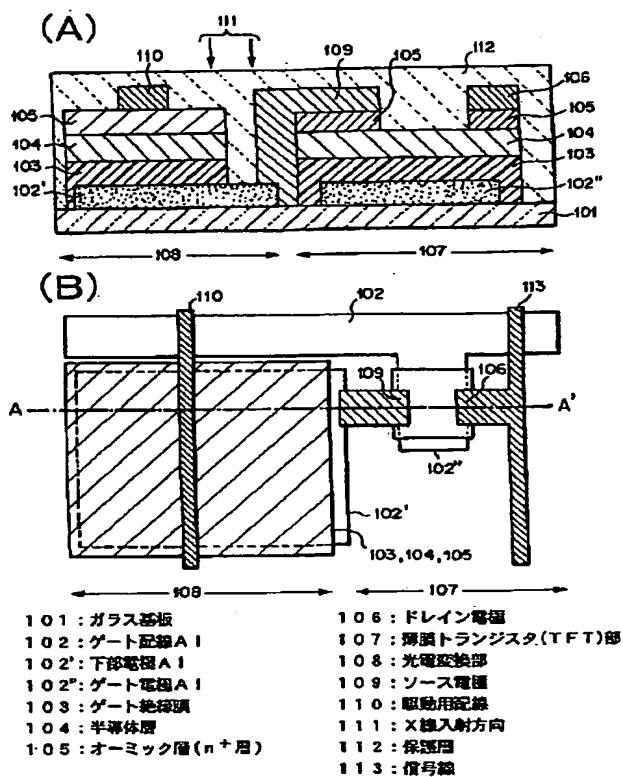
【図12】



【図13】



【図16】



## フロントページの続き

(51) Int.Cl. <sup>7</sup>		識別記号
H 0 1 L	21/28	3 0 1
	21/3205	
	21/3213	
	27/14	
	29/786	
	31/09	
H 0 4 N	5/32	

F I	テマコード(参考)
H 0 1 L 21/28	3 0 1 R 5 F 0 8 8
H 0 4 N 5/32	5 F 1 1 0
H 0 1 L 27/14	C
31/00	A
27/14	K
29/78	6 1 7 M
	6 1 7 L
	6 1 6 U
	6 1 6 V
21/88	C
	N
	R
29/78	6 1 3 Z

(72)発明者 望月 千織  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

F ターム(参考) 2G088 EE01 FF02 GG19 GG21 JJ05  
JJ33  
4M104 AA01 AA08 BB01 BB02 BB13  
BB14 BB16 BB17 BB18 BB28  
BB30 BB32 BB40 CC01 CC05  
DD34 DD37 DD43 DD55 DD64  
DD65 FF03 FF09 FF13 FF30  
GG05 GG20 HH03 HH16 HH20  
4M118 AA10 AB01 BA05 CA05 CA07  
CA32 CB06 CB07 CB11 CB14  
EA01 FB09 FB13 GA10 HA22  
HA27  
5C024 AX12 GX04  
5F033 HH05 HH06 HH08 HH09 HH17  
HH18 HH19 HH20 HH21 HH28  
HH32 HH33 LL04 LL08 MM05  
PP12 PP15 PP19 0008 0011  
QQ19 QQ59 QQ65 RR04 RR06  
RR22 SS15 VV15 XX00 XX10  
XX16  
5F088 AA20 AB03 AB05 FA05 GA02  
HA15 LA08  
5F110 AA03 BB01 BB10 CC07 DD02  
EE01 EE03 EE04 EE05 EE06  
EE14 EE37 EE43 EE44 FF02  
FF03 FF30 GG02 GG13 GG15  
GG45 HK03 HK04 HK06 HK09  
HK15 HK16 HK21 HK25 HK33  
HK35 HM19 NN02 NN24 NN27  
NN71 0009